



Санкт-Петербургский государственный университет  
аэрокосмического приборостроения

Лабораторные работы  
по дисциплине  
**«Проектирование СБИС»**  
**(VLSI Design I)**

Разработаны:

Е.А. Суворова

к.т.н., ассистент кафедры Информационных систем

Санкт-Петербург  
2005 г.

## ЛАБОРАТОРНАЯ РАБОТА 1.

Тема: **Функциональное и структурное описание простой комбинационной схемы на VHDL.**

**Задание:**

Выполнить два варианта описания объекта моделирования – поведенческое описание и структурное описание (на базе компонентов «И», «ИЛИ», «НЕ»). Промоделировать работу, убедиться в правильности функционирования.

**Варианты задания:**

1.  $Y = A \text{ and } (B \text{ or } C) \text{ and } (\text{not } D)$
2.  $Y = A \text{ or } B \text{ and } (C \text{ or } (\text{not } D))$
3.  $Y = (A \text{ or } B) \text{ and } (\text{not } (C \text{ or } D))$
4.  $Y = \text{not}(A) \text{ and } \text{not}(B) \text{ and } (C \text{ or } D)$
5.  $Y = \text{not}(A \text{ or } B) \text{ or } \text{not}(C \text{ or } D)$
6.  $Y = A \text{ and } \text{not}(B \text{ or } C \text{ or } D)$
7.  $Y = \text{not}(A \text{ and } B \text{ and } C) \text{ or } D$

**Используемое программное обеспечение**

Для выполнения работы используются утилиты ncLaunch, ncvhdl, ncelab, ncsim, simvisio

**Порядок выполнения работы:**

1. Выполнить описание объекта моделирования на VHDL в любом текстовом редакторе (например, в gedit, kwrite)
2. С помощью утилиты ncLaunch осуществить компиляцию проекта, исправить выявленные ошибки. Загрузить проект в среду моделирования.
3. Разработать тестовое окружение для объекта моделирования.
4. Выполнить тестирование правильности функционирования объекта моделирования.
5. Разработать скрипт, позволяющий компилировать проект и загружать его в среду моделирования без использования утилиты ncLaunch.

**Содержание отчета:**

1. Постановка задачи, вариант задания
2. Алгоритмы реализуемых операций
3. Текст программы на языке VHDL
4. Результаты моделирования



## ЛАБОРАТОРНАЯ РАБОТА 2.

Тема: **Разработка элементарного вычислителя.**

### Задание:

Разработать АЛУ, которое в зависимости от кода команды должно выполнять следующие действия с двумя 8-ми разрядными числами (в зависимости от варианта):

Разработать АЛУ, которое в соответствии с кодом операции выполняет заданные действия над операндами. В зависимости от кода операции может использоваться один или два операнда.

Для каждого варианта выполняется АЛУ может выполнять 5 различных операций: 4 бинарных операции и одна унарная.

*Унарная операция* выбирается в соответствии с номером варианта из следующего набора:

- 1) NOT
- 2) Увеличение на 1
- 3) Уменьшение на 1

*Бинарные операции* выбираются в соответствии с номером варианта из следующего набора

- 1) Сложение (реализовать двумя способами)
- 2) Вычитание (реализовать двумя способами)
- 3) Смена знака на противоположный
- 4) Операция кругового сдвига (первого на количество бит, указанном во втором второе или наоборот)
- 5) Операция «Сложения по модулю 2»
- 6) Операция умножения

Кроме этого, во всех вариантах реализуется операция умножения.

Код операции и операнды на вход АЛУ для четных вариантов поступают параллельно, для нечетных - последовательно.

### Используемое программное обеспечение

Поток проектирования Cadence IUS 5.3: утилиты ncLaunch, ncvhdl, ncelab, ncsim, simvisio

Варианты задания :

№ варианта	Унарная операция (0)	Бинарная операция (1)	Бинарная операция (2)	Бинарная операция (3)	Бинарная операция (4)
1	$(N \bmod 3)+1$	1	2	3	6
2		1	6	2	4
3		6	1	2	5
4		1	3	6	4
5		6	1	3	5
6		1	6	4	5
7		2	3	4	6
8		2	3	6	4
9		6	2	4	5
10		3	6	4	5

Порядок выполнения работы:

1. Выполнить описание объекта моделирования на VHDL в любом текстовом редакторе (например, в gedit, kwrite)
2. С помощью утилиты ncLaunch осуществить компиляцию проекта, исправить выявленные ошибки. Загрузить проект в среду моделирования.
3. Разработать тестовое окружение для объекта моделирования.
4. Выполнить тестирование правильности функционирования объекта моделирования.
5. Разработать скрипт, позволяющий компилировать проект и загружать его в среду моделирования без использования утилиты ncLaunch.

Содержание отчета:

5. Постановка задачи, вариант задания
6. Алгоритмы реализуемых операций
7. Текст программы на языке VHDL
8. Результаты моделирования

### ЛАБОРАТОРНАЯ РАБОТА 3.

Тема: **Разработка простой вычислительной системы на базе готовых компонентов.**

**Задание:**

Разработать вычислительную систему, включающую в себя блок приема/передачи информации, память и вычислитель.

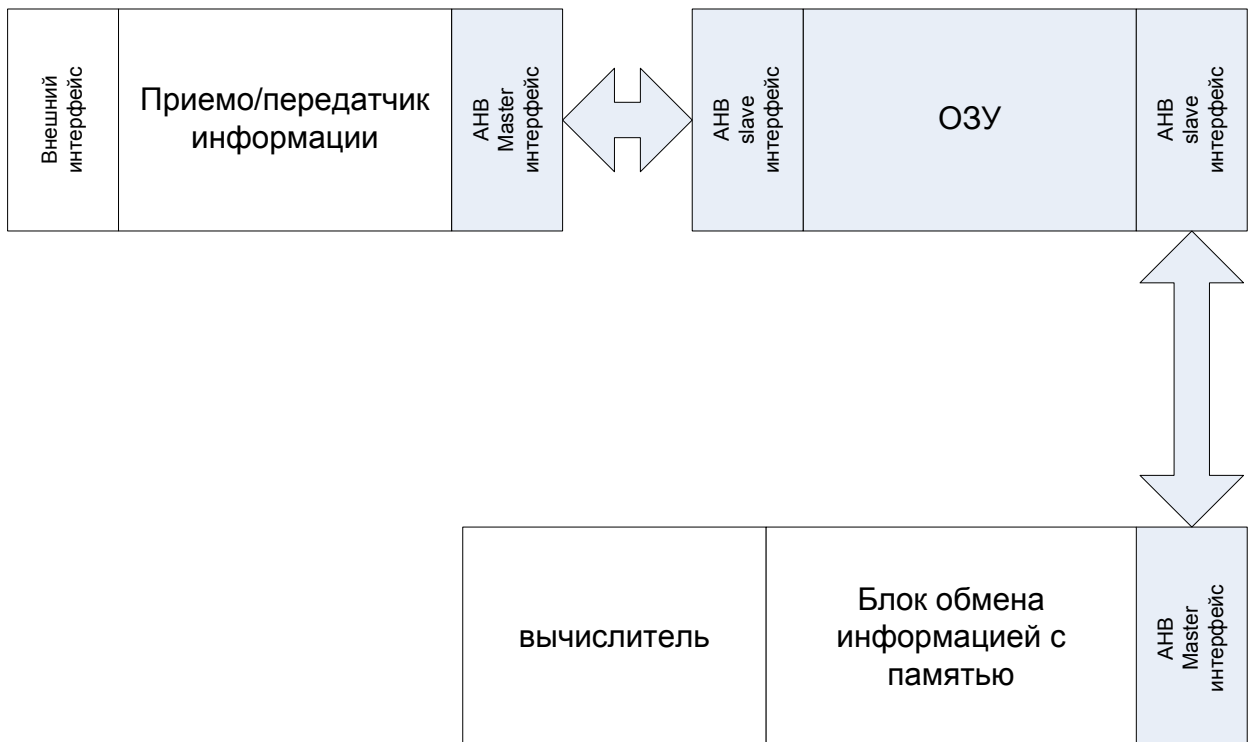
В работе используются следующие готовые компоненты:

- компонент ведущего устройства с интерфейсом АНВ,
- компонент двухпортовой памяти с двумя интерфейсами АНВ,
- компонент обработки информации разработанный в лабораторной работе 2.

Обмен информацией с внешним миром осуществляется на частоте, отличной от той, на которой функционирует остальная часть системы.

Базовая частота функционирования системы – 100МГц. Разрядность шины АНВ – 32.

Структурная схема вычислительной системы представлена на рис



Для выполнения работы используются утилиты ncLaunch, ncvhdl, ncelab, ncsim

## Используемое программное обеспечение

Поток проектирования Cadence IUS 5.3: утилиты ncLaunch, ncvhdl, ncelab, ncsim, simvisio

### Варианты задания:

1. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 8 Бит. Частота 250 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для каждого слова отдельно
2. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 8 Бит. Частота 250 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для группы слов длиной 8
3. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 16 Бит. Частота 125 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для каждого слова отдельно
4. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 16 Бит. Частота 125 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для группы слов длиной 8
5. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 64 Бит. Частота 75 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для каждого слова отдельно

6. Обмен информацией с внешним миром осуществляется синхронно по шине разрядностью 64 Бит. Частота 75 МГц. Используются следующие управляющие сигналы: сигнал направления обмена (входной), сигнал действительности записываемых данных / готовности к чтению (входной), сигнал готовности записать данные / действительности читаемых данных (выходной). Сигналы действительности/готовности выставляются для группы слов длиной 8

#### Порядок выполнения работы:

1. Выполнить описание объекта моделирования на VHDL в любом текстовом редакторе (например, в gedit, kwrite)
2. Разработать скрипт, позволяющий компилировать проект и загружать его в среду моделирования
3. Разработать тестовое окружение для объекта моделирования.
4. Выполнить тестирование правильности функционирования объекта моделирования.

#### Содержание отчета:

1. Постановка задачи, вариант задания
2. Алгоритмы работы блока обмена информации с памятью и приемопередатчика
3. Текст программы на языке VHDL
4. Результаты моделирования



## ЛАБОРАТОРНАЯ РАБОТА 4.

Тема: **Ознакомление с инструментарием синтеза, анализа и верификации физической модели.**

**Задание:**

Выполнить синтез комбинационной схемы, разработанной в ходе выполнения лабораторной работы 1. Выполнить верификацию полученной физической модели.

**Порядок выполнения работы:**

1. Выполнение синтеза проекта с использованием RTL Compiler. Оценка аппаратных затрат на реализацию (количество эквивалентных вентилях, занимаемая площадь), оценка временных характеристик.
2. Моделирование работы полученного в результате синтеза списка связей в pcsim с использованием тестового окружения, разработанного при выполнении лабораторной работы 1. Сравнение с функционированием логической модели
3. Выполнение Implementation проекта с использованием SOC Encounter. Оценка аппаратных затрат на реализацию, оценка временных характеристик – сравнение с аналогичными результатами, полученными после синтеза. Оценка электрических параметров схемы, проверка на соответствие Design Rules (для библиотеки 0,13 мкм STMicroelectronics)
4. Моделирование работы полученного в результате Implementation списка связей в pcsim с использованием тестового окружения, разработанного при выполнении лабораторной работы 1. Сравнение с функционированием логической модели

**Используемое программное обеспечение**

Поток проектирования Cadence SOC 4.1: утилиты tc, encounter

**Содержание отчета:**

1. Вариант задания
2. Значения характеристик схемы, полученные в результате синтеза.
3. Оценка результатов моделирования списка связей, полученного в результате синтеза.
4. Значения характеристик схемы, полученные в результате Implementation.
5. Сравнение характеристик, полученных в результате синтеза и Implementation.
6. Оценка результатов моделирования списка связей, полученного в результате Implementation.