



Санкт-Петербургский государственный университет
аэрокосмического приборостроения

Дисциплина
«Проектирование СБИС»
(VLSI Design I)
Рабочая программа

Разработана:

Ю.Е.Шейнин,

д.т.н., профессор кафедры Информационных систем

Е.А. Суворова

к.т.н., ассистент кафедры Информационных систем

Санкт-Петербург

2005 г.

Распределение времени занятий по видам и семестрам

Вид учебной нагрузки	Количество часов
Лекции	32
Лабораторные занятия	32
Суммарная аудиторная нагрузка	64
Самостоятельная работа студентов *)	48
ВСЕГО:	132
Виды контроля	зачет экзамен

*) Самостоятельная работа студентов в указанном объеме предполагает работу студентов в лаборатории на Пакетах автоматизации проектирования СБИС фирмы Cadence, используемых в данном курсе.

Количество недель в семестре 17

Лекции

Лекция 1 –Введение. Краткое содержание курса. Уровни проектирования.

Проектирование СБИС, история, современность, перспективы (Закон Мура...), основные проблемы. Понятие уровней проектирования. Средства автоматизированного проектирования. Понятие потоков проектирования. Языки описания аппаратуры. Моделирование работы и верификация. Типы СБИС (FPGA, ASIC).

2 ч.

Лекция 2 –Обзор процесса производства СБИС. КМОП технология.

Роль разработчика схемы и технолога в процессе проектирования. Основные принципы создания масок. Технологические библиотеки. Типы компонентов, входящих в технологические библиотеки. Набор параметров, характеризующих компонент комбинационного типа и компонент памяти (логические, временные, электрические, геометрические) Понятие правил проектирования, типы правил

проектирования (масштабируемые и абсолютные). Основы КМОП технологии. Основные типы слоев в КМОП технологии, базовый набор слоев, дополнительные слои. Правила проектирования внутри одного слоя. Переходные отверстия и контактные площадки.

2 ч.

Лекция 3 – Обзор программных продуктов Cadence. Процесс проектирования с использованием программных продуктов Cadence.

Поток проектирования Cadence. Понятие проекта. Моделирование на разных уровнях проектирования. Набор утилит для разработки и моделирования проекта на RTL уровне. Процесс синтеза и пост-синтеза, роль этапа синтеза в разработке проекта. Синтез с сохранением иерархии и без сохранения иерархии. Анализ результатов синтеза и пост-синтеза, обзор утилит. Особенности работы с большими проектами.

2 ч.

Лекция 4 – Языки описания аппаратуры. VHDL. Базовые конструкции языка.

Необходимость введения специализированных языков описания аппаратуры, их основные отличия от традиционных языков программирования высокого уровня. Краткие сведения о VHDL, Verilog, SystemC.

Описание файла пакета и файла сущности VHDL.

Понятие объекта моделирования. Использование библиотек и пакетов.

2 ч.

Лекция 5 – Структурное и функциональное описание объектов моделирования на VHDL. Операторы присваивания значений сигналам.

Понятие реального и модельного времени. События. Процессы. Параллельные и последовательные операторы. Сравнение процессов и компонентов.

2 ч.

Лекция 6 – Поведенческие и синтезируемые модели

Процесс синтеза. Набор конструкций языка VHDL, которые могут использоваться только в поведенческих моделях.

2 ч.

Лекция 7 – Типовое описание конечного автомата на VHDL

Триггеры и защелки, регистры, сдвиговые регистры. Разделение описаний комбинаторной и регистровой части. Принципы программирования функций

перехода и выходных функций КА. Принципы кодирования машин состояний в реальных схемах.

Лекция 8 – Введение в методику тестирования

Понятие тестового окружения. Типовая структура тестового окружения. Генерация входных воздействий.

2 ч.

Лекция 9 - АЛУ современных процессоров

Состав АЛУ современных процессоров. Автомат управления. Конечные автоматы в управлении АЛУ. Представление на VHDL. Спецификация, верификация.

2 ч.

Лекция 10 – АЛУ современных процессоров (продолжение)

Классификация АЛУ. Понятие микропрограммного АЛУ. Примеры микропрограмм.

2 ч.

Лекция 11 – Организация линий связи

Понятие локальных средних и глобальных линий связи. Типы паразитных явлений в линиях связи (емкостные, резистивные, индуктивные), их влияние на надежность и производительность. Зависимость характера и численных значений, характеризующих паразитные явления от технологии, от слоев, на которых расположены линии связи. Взаимовлияние линий связи находящихся в одном слое и находящихся в разных слоях, правила расположения линий в соседних слоях. Использование буферов, повторителей в длинных линиях. Влияние межслойных переходов, на характеристики линий связи. Подсоединение линий связи кристалла к выводам, расположенным на корпусе микросхемы. Учет особенностей организации линий связи на уровне проектирования СБИС в целом.

2 ч.

Лекция 12 – Организация блока коммуникационной системы

Краткий обзор современных стандартов, используемых для организации коммуникационных систем в системах-на-кристалле. Требования, предъявляемые к блоку коммуникационной системы, набор параметров, характеризующих блок коммуникационной системы, необходимость параметрического описания блока коммуникационной системы. Организация блока коммуникационной системы, позволяющее масштабирование по количеству подключаемых ведущих и ведомых

устройств. Структура блока коммуникационной системы на базе шины и на базе коммутатора. Блок мультиплексирования. Блок управления, реализация различных алгоритмов арбитража, описание блока коммуникационной системы с возможностью смены алгоритма арбитража.

2 ч.

Лекция 13 - Синтез и post-синтез моделирование

Подготовка проекта к синтезу. Правила (особенности) использования VHDL для получения моделей, хорошо синтезируемых средствами автоматизированного проектирования. Основы работы с Cadence RTL Compiler. Определение ограничений, правил синтеза. Формирование и анализ отчета о результатах синтеза. Оценка статических временных параметров моделей, энергопотребления, площади, занимаемой схемой. Проверка модели на соответствие Design Rules. Получение списка связей, аннотированного временными параметрами. Моделирование схемы, полученной в результате синтеза. Основы работы с Cadence SoC Encounter. Оценка параметров моделей, полученных в результате пост-синтеза. Моделирование на цифровом и аналоговом уровне. Обзор средств моделирования на аналоговом уровне.

2 ч.

Лекция 14 – Концепция деревьев сигналов сброса и тактирования

Понятие локальных средних и длинных линий связи. Требования к форме сигнала тактирования, параметры, характеризующие сигнал тактирования. Причины отличий в организации линий сброса и тактирования от информационных линий. Типы кластерных деревьев (решетки, H-деревья, использование распределенной буферизации, их влияние на характеристики тактового сигнала, использование комбинированной методики, «реалистичные» деревья). Понятие локальных и глобальных сигналов тактирования.

Деревья сигналов сброса. Синхронный и асинхронный сброс.

2 ч.

Лекция 15 – Временные домены

Понятие временного домена. Методики перевода одиночного сигнала через границу временного домена. Методики перевода шины (логически связанной группы сигналов) через границу временного домена. Расчет вероятности возникновения неопределенного состояния сигнала (x) при переходе через границу временного домена. Моделирование функционирования схем, включающих несколько временных доменов.

2 ч.

Лекция 16 – Обзор методик проектирования схем с низким энергопотреблением

Связь между временными характеристиками схемы и энергопотреблением. Потребляемая и рассеиваемая мощность. Основные причины рассеяния мощности, их удельный вес при использовании различных проектных норм. Обзор технологий, используемых для снижения энергопотребления на вентиляльном уровне. Снижение энергопотребления на схемотехническом уровне. Возможности, предоставляемые современными средствами автоматизированного проектирования и технологическими библиотеками для снижения энергопотребления. Техники снижения энергопотребления на системном уровне.

2 ч.

Перечень лабораторных работ

Лабораторная работа 1.

Функциональное и структурное описание простой комбинационной схемы на VHDL.

Разработка поведенческого описания и структурного описания на языке VHDL комбинационной схемы как объекта моделирования. С помощью утилиты ncLaunch осуществить компиляцию проекта, исправить выявленные ошибки. Загрузить проект в среду моделирования Simvisio убедиться в правильности функционирования. Разработать тестовое окружение для объекта моделирования. Промоделировать работу, выполнить тестирование правильности функционирования объекта моделирования. Разработать скрипт, позволяющий компилировать проект и загружать его в среду моделирования без использования утилиты ncLaunch.

8 ч. ауд.

8 ч. внеауд.

Лабораторная работа 2.

Разработка элементарного вычислителя.

Разработать АЛУ, которое в зависимости от кода команды выполняет действия над двумя 8-ми разрядными числами. Выполнить описание объекта моделирования на VHDL, компиляцию проекта (утилита ncLaunch). Загрузить проект в среду моделирования Simvisio. Разработать тестовое окружение для объекта моделирования. Выполнить тестирование правильности функционирования объекта моделирования. Разработать скрипт, позволяющий компилировать проект и загружать его в среду моделирования без использования утилиты ncLaunch.

Лабораторная работа 3.

Разработка простой вычислительной системы на базе готовых компонентов.

Разработать вычислительную систему, включающую в себя блок приема/передачи информации, память и вычислитель. В работе используются следующие готовые компоненты: - компонент ведущего устройства с интерфейсом АНВ, - компонент двухпортовой памяти с двумя интерфейсами АНВ, - компонент обработки информации разработанный в лабораторной работе 2. Обмен информацией с внешним миром осуществляется на частоте, отличной от той, на которой функционирует остальная часть системы. Выполняется описание объекта моделирования на VHDL Разработка скрипта для компиляции и загрузки проекта в среду моделирования. Разработка тестовое окружение для объекта моделирования. Тестирование правильности функционирования объекта моделирования.

Лабораторная работа 4.

Ознакомление с инструментарием синтеза, анализа и верификации физической модели.

Синтез проекта на VHDL с использованием RTL Compiler. Оценка аппаратных затрат на реализацию (количество эквивалентных вентилях, занимаемая площадь), оценка временных характеристик. Моделирование работы полученного в результате синтеза списка связей в ncsim. Сравнение с функционированием логической модели. Выполнение Implementation проекта с использованием SOC Encounter. Оценка аппаратных затрат на реализацию, оценка временных характеристик – сравнение с аналогичными результатами, полученными после синтеза. Оценка электрических параметров схемы, проверка на соответствие Design Rules (для библиотеки 0,13 мкм STMicroelectronics). Моделирование работы полученного в результате Implementation списка связей в ncsim с использованием тестового окружения. Сравнение с функционированием логической модели

Список литературы

Основная литература

1. Ганнет Дж., Домич А., Катевенис М., и др.
Электроника СБИС. Проектирование микроструктур. М.: Мир, 1989.
2. Суворова Е.А., Шейнин Ю.Е. Язык VHDL для проектирования систем на СБИС. Учебное пособие. СПб., 2001 г., 212 с.
3. Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. СПб, БХВ-С.-Петербург, 2003, 576 с.
4. Угрюмов Е. П. Цифровая схемотехника. СПб.: БХВ, 2000, 528 с.
5. Володин А. Ю., Горбачев С. В., Шейнин Ю. Е.
Шина PCI в высокопроизводительных микропроцессорных системах : Учебное пособие;/ С.-Петербург. гос. ун-т аэрокосм. приборостроения. -СПб.: РИО ГУАП, 1999. -99 с.
6. Медведев А.К., Недзельская Н.Д., Шейнин Ю.Е. Исследование высокопроизводительных вычислительных систем на имитационных моделях Методическое пособие для выполнения лабораторных работ, СПб, ГААП, 1997. 45 с.

Дополнительная литература

7. Кун С. Матричные процессоры на СБИС. М., Мир, 1991.
8. Мотоока Т. Компьютеры на СБИС. М.: Мир, 1988. В 2-х томах.
9. Ashenden P.J. The Design Guide to VHDL. San Francisco, Morgan Kaufmann Publishers, 1996.
10. Flynn M.J. Basic issues in microprocessor architecture. //Journal of Systems Architecture, 1999, v.45, pp. 939-948.
11. Gajski D. Principles of Digital Design. Prentice-Hall, 1997, 447 p.
12. Mano M., Kime Ch. Logic and Computer Design Fundamentals. Prentice-Hall, 2nd edition, 2001, 649 p.
13. Kang S., Lebelevici Y. CMOS Digital Integrated Circuits. Analysis and Design. Boston, McGraw-Hill, 1999.
14. Yalamanchili S. Introductory VHDL: From Simulation To Synthesis. Prentice-Hall, 2001, 401 p.

Используемое программное обеспечение

1. Поток проектирования Cadence IUS 5.3: утилиты ncLaunch, ncvhdl, ncelab, ncsim, simvisio
2. Поток проектирования Cadence SOC 4.1: утилиты rc, encounter